Вопрос 1.

С использованием типов данных и конструкций расширения System Verilog создайте описание устройства

Алгоритм работы:

* устройство принимает **потоковые** данные с трех 8 разрядных входов A, B, C;
* осуществляет: выполнение функции R= А \* В +C
* формирует выходные данные R

Выводы устройства (имена выводов модуля могут быть выбраны любыми, рекомендуется выбрать имена, облегчающие интеграцию с Platform Designer (PD)):

* На входах должен быть использованы регистры.
  + Входы должны быть ориентированы на использование Stream интерфейсов в Platform Designer (PD) с поддержкой сигналов Ready и Valid (по входному сигналу Valid =1 осуществляется запись во входной регистр); Сигнал Ready постоянно равен 1
* На выходе должен быть использован регистр
  + Выход должен быть ориентирован на использование Stream интерфейса в Platform Designer (PD). Сигнал Ready не анализируем. Сигнал Valid постоянно равен 1.
* Вход: тактового сигнала – clk.
* Вход: сигнала асинхронного сброса – arst.

*Изображение выглядит как текст, снимок экрана, программное обеспечение

Автоматически созданное описание*

***На этом месте в файле с ответами приведите созданное текстовое описание.***

Вопрос 2.

С использованием типов данных и конструкций расширения System Verilog для устройства, созданного в вопросе 1, разработайте тест класса 2 (с самопроверкой).

Исходные данные (для А, B, C) и ожидаемые данные (для R) должны считываться из файлов (достаточно 3-х наборов данных).

Тест должен обеспечивать проверку всех режимов работы устройства (включая сброс).



***На этом месте в файле с ответами приведите созданное текстовое описание теста.***

Вопрос 3.

В пакете ModelSim, используя созданный в вопросе 2 тест, проведите моделирование созданного в вопросе 1 устройства.

Изображение выглядит как снимок экрана, Мультимедийное программное обеспечение, линия, программное обеспечение

Автоматически созданное описаниеИзображение выглядит как текст, Шрифт, снимок экрана, линия

Автоматически созданное описание

***На этом месте в файле с ответами приведите временные диаграммы результатов моделирования и результаты, представленные в консоли (т.к. тест с самопроверкой).***

Вопрос 4.

Интегрируйте устройство, созданное в вопросе 1, как библиотечный компонент в PD (библиотечная папка для модуля – **exam**).

Изображение выглядит как текст, снимок экрана, программное обеспечение, дисплей

Автоматически созданное описаниеИзображение выглядит как текст, снимок экрана, программное обеспечение, дисплей

Автоматически созданное описание

***На этом месте в файле с ответами приведите снимки экрана:***

* ***с библиотекой PD в которой есть папка exam с созданным компонентом***
* ***настройки интерфейсной части компонента.***

Вопрос 5.

* В PD создайте описание системы, включающей модуль тактового сигнала и компонент, созданный в вопросе 4.
* Экспортируйте выводы данных.
* Создайте HDL описание в приложении PD.
* С использованием типов данных и конструкций расширения System Verilog создайте описание верхнего уровня, в котором созданная система используется как компонент.
* **Вход сброса, в файле верхнего уровня, должен быть подключен через два триггера**.
* Осуществите компиляцию и получите структуру системы, используя RTL Viewer в пакете Quartus.

Изображение выглядит как текст, снимок экрана, программное обеспечение, дисплей

Автоматически созданное описание

Изображение выглядит как текст, снимок экрана, программное обеспечение, Мультимедийное программное обеспечение

Автоматически созданное описание

Изображение выглядит как диаграмма, линия, План, текст

Автоматически созданное описание

***На этом месте в файле с ответами приведите снимки экрана:***

* ***структуры системы в PD***
* ***созданного описания верхнего уровня***
* ***структуры, полученной в RTL Viewer.***